



Docket No.: P2001,0274

I hereby certify that this correspondence is being deposited with the United States Postal Service with sufficient postage as first class mail in an envelope addressed to: Commissioner for Patents, Alexandria, VA 22313 20231.

By: 

Date: December 4, 2003

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

Applic. No. : 10/692,636  
Applicant : Franz-Xaver Obergrussberger et al.  
Filed : October 24, 2003  
Art Unit : to be assigned  
Examiner : to be assigned

Docket No. : P2001,0274  
Customer No.: 24131

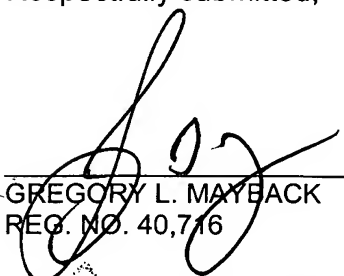
CLAIM FOR PRIORITY

Mail Stop: Missing Parts  
Hon. Commissioner for Patents,  
Alexandria, VA 22313-1450  
Sir:

Claim is hereby made for a right of priority under Title 35, U.S. Code, Section 119, based upon the German Patent Application 101 20 054.4 filed April 24, 2001.

A certified copy of the above-mentioned foreign patent application is being submitted herewith.

Respectfully submitted,

  
\_\_\_\_\_  
GREGORY L. MAYBACK  
REG. NO. 40,716

Date: December 4, 2003

Lerner and Greenberg, P.A.  
Post Office Box 2480  
Hollywood, FL 33022-2480  
Tel: (954) 925-1100  
Fax: (954) 925-1101

/mjb

## Beschreibung

## Halbleiterspeicherbauelement

- 5 Die vorliegende Erfindung betrifft ein Halbleiterspeicherbauelement. Bei derartigen Bauelementen ist ein Halbleiterspeicher auf einem Chip als Anordnung von Speicherzellen ausgebildet. Eine integrierte Schaltung ermöglicht die Nutzung des Halbleiterspeichers, insbesondere die Adressierung der einzelnen Speicherzellen. Elektrisch leitende Verbindungen als Wortleitungen und Bitleitungen stellen die Verbindung der für eine Ansteuerung der Speicherzellen vorgesehenen Anschlüsse mit den Speicherzellen her und sind für ein Programmieren der Speicherzellen vorgesehen. Durch das Programmieren bzw. Umprogrammieren der Speicherzellen werden digitale Informationen als logische Null bzw. logische Eins in den Zellen abgespeichert. Diese Informationen werden bei einer Adressierung der Speicherzellen in einer vorgegebenen Weise ausgelesen.
- 20 Die Eingabe und Ausgabe der gespeicherten Daten sowie die Eingabe der für die Adressierung oder allgemein die Steuerung der Nutzung des Speichers vorgesehenen Steuersignale erfolgt in Form digitaler Eingabesignale und Ausgabesignale. Da der Informationsgehalt des einzelnen Bit äußerst gering ist, muss eine Vielzahl derartiger Signale parallel oder seriell übermittelt werden. Bei üblichen Halbleiterspeicherchips ist daher eine sehr große Anzahl von Anschlusskontakten vorgesehen. Daraus ergeben sich hohe Kosten für die Gehäuse, in denen die Halbleiterspeicherchips montiert werden.
- 30 Ein derartiges Gehäuse umfasst z. B. einen strukturierten metallischen Träger, auf dem ebenfalls eine entsprechende Anzahl von Anschlusskontakten vorhanden ist. Diese Kontakte müssen paarweise mit den entsprechenden Kontakten des Speicherchips verbunden werden. Da an jedem Datenausgang zu jedem Zeitpunkt nur ein Wert ausgegeben werden kann, erreicht man damit nur eine niedrige Datenrate.
- 35

Bei einer matrixförmigen Anordnung der Speicherzellen in dem Halbleiterspeicher müssen über die Bitleitungen und Wortleitungen die Zeilen und Spalten dieser Speicherzellenmatrix  
5 zeitversetzt adressiert werden. Daraus ergeben sich lange Zugriffszeiten. Die Anzahl der erforderlichen Anschlusskontaktflächen steigt daher sehr stark mit zunehmender Größe des Speichers an, die aber angestrebt wird. Durch die Begrenzung der möglichen Anzahl der Anschlusskontakte wird die Grenze  
10 der Kapazität eines Speicherchips sehr schnell erreicht.

Aufgabe der vorliegenden Erfindung ist es, ein Halbleiterspeicherbauelement anzugeben, mit dem auch bei hoher Speicherkapazität kurze Zugriffszeiten oder hohe Datenraten realisierbar sind.  
15

Diese Aufgabe wird mit dem Halbleiterspeicherbauelement mit den Merkmalen des Anspruches 1 gelöst. Ausgestaltungen ergeben sich aus den abhängigen Ansprüchen.  
20

Bei dem erfindungsgemäßen Bauelement ist mindestens ein Digital-Analog-Wandler und/oder mindestens ein Analog-Digital-Wandler vorhanden, und zwar vorzugsweise eine Mehrzahl derartiger Wandler, die so in die elektrisch leitenden Verbindungen zwischen den Anschlusskontakten und den Speicherzellen  
25 eingebaut sind, dass eine Nutzung des Halbleiterspeichers durch eine Eingabe oder Ausgabe von analogen Signalen möglich ist. Die analogen Signale entsprechen einer Überlagerung einer Vielzahl digitaler Signale.

30 Wenn daher anstelle der bisherigen Digitalausgänge eines Halbleiterspeichers Analogausgänge vorgesehen sind, kann die gleiche Datenmenge, für die man normalerweise mehrere Anschlusskontaktflächen (Pads) benötigte, über nur einen Anschlusskontakt ausgelesen werden. Es lässt sich das Einschreiben der Daten bewerkstelligen, indem die Daten in Form analoger Signale eingegeben werden und mittels eines Analog-

35

Digital-Wandlers in eine Mehrzahl von digitalen Signalen umgewandelt werden, die z. B. in einem üblichen 16-Bit-Bus weitergeleitet werden.

- 5 Das gleiche Prinzip kann auch für die Adressierung der Speicherzellen angewendet werden. Man ersetzt dazu die Anschlusskontaktflächen für die Eingabe der Adressierungssignale durch eine geringere Anzahl von Anschlusskontaktflächen, insbesondere zwei Kontaktflächen für die Zeilenadresse und die Spaltenadresse, und sieht dahinter Analog-Digital-Wandler vor, um  
10 die analogen Steuersignale, die an den Anschlusskontaktflächen eingegeben werden, in digitale Adressierungssignale umzuwandeln. Mit diesem Bauelement werden daher sehr viele Anschlusskontaktflächen auf dem Halbleiterchip und insbesondere  
15 auch auf dem Gehäuse eingespart. Zusätzlich erhält man eine schnellere Schnittstelle (Interface) für die Daten und Adressen.

- Es folgt eine genauere Beschreibung des erfindungsgemäßen  
20 Bauelementes anhand der beigefügten Figuren 1 bis 5.

Die Figuren 1 und 2 zeigen Schaltungsschemata zu Halbleiterspeichern aus dem Stand der Technik.

- 25 Die Figuren 3 bis 5 zeigen entsprechende Schaltungsschemata für Beispiele des erfindungsgemäßen Bauelementes.

- Zur Erläuterung des Bauelementes ist in der Figur 1 ein Schaltungsschema dargestellt, bei dem entsprechend dem Stand  
30 der Technik ein Halbleiterspeicher 1, hier ein FIFO-Speicher, über eine übliche 16-Bit-Datenleitung 2 mit Anschlusskontaktflächen 3 verbunden ist. An den Anschlusskontaktflächen können die parallel übertragenen digitalen Daten beim Auslesen des Speichers 1 abgegriffen werden.

35

In der Figur 2 ist ein entsprechendes Schema für die Adressierung des Halbleiterspeichers nach dem Stand der Technik

dargestellt. Es sind dort Adressierungs-Latches 40 dargestellt, die über einen Adress-Bus 50 mit den an den Anschlusskontaktflächen 3 eingegebenen digitalen Signalen gesteuert werden. An die Anschlusskontaktflächen (Adresspads) wird eine Zeilenadresse und anschließend ein Strobe-Signal (Row Address Strobe) angelegt, wodurch die Zeilenadresse in den Latches gespeichert wird. Anschließend wird an dieselben Anschlusskontaktflächen 3 die Spaltenadresse angelegt. Es wird wieder ein Strobe-Signal (Column Address Strobe) angelegt, wodurch die Spaltenadresse in den Latches gespeichert wird.

In der Figur 3 ist ein der Figur 1 entsprechendes Schema dargestellt, nach dem ein erfindungsgemäßes Bauelement ein Auslesen des Speicherinhalts ermöglicht. Aus dem Halbleiterspeicher 1 ist eine Vielzahl von Datenleitungen geführt, in dem dargestellten Beispiel als 16-Bit-Datenleitungen 2. Statt direkt auf die Anschlusskontaktfläche 3 geführt zu werden, ist in die Datenleitungen ein Digital-Analog-Wandler 6 eingebaut, der die digitalen Signale in ein analoges Signal umwandelt. Dieses analoge Signal kann jetzt an einer gemeinsamen Anschlusskontaktfläche 3 abgegriffen werden.

Falls es bei bestimmten Ausführungsbeispielen des Bauelementes nicht möglich ist, alle Signale eines 16-Bit-Datenbusses zu einem analogen Signal zu überlagern, können auch mehrere Anschlusskontaktflächen 3 vorgesehen sein, zu denen jeweils ein analoges Signal, das aus einer teilweisen Überlagerung der digitalen Signale gebildet wird, geführt ist. Die Verwendung paralleler Datenbusse für die umgewandelten, analogen Signale ermöglicht außerdem die schnellere Übertragung der Daten.

Die Adressierung des erfindungsgemäßen Speicherbauelements gestaltet sich entsprechend dem in Figur 4 dargestellten Schema. Es wird in diesem Beispiel nur jeweils eine Anschlusskontaktfläche für die Zeilenadressierung und die Spal-

tenadressierung vorgesehen. An diese Kontaktflächen können die analogen Steuersignale angelegt werden, die jeweils anschließend in einem Analog-Digital-Wandler 7 in die digitalen Signale umgewandelt werden, die über einen jeweiligen Adress-Bus 5 den Adress-Latches 4 zugeführt werden.

In der Figur 5 ist ein weiteres Ausführungsbeispiel anhand eines der Figur 3 entsprechenden Schemas dargestellt. Dieses Ausführungsbeispiel erläutert, dass mehrere 16-Bit-Datenbusse 10 20, 21, von denen hier zwei dargestellt sind, parallel mittels Digital-Analog-Wandlern 60, 61 in analoge Signale umgewandelt werden können, die den Anschlusskontaktflächen 3 zugeführt werden. Damit ist es möglich, eine noch größere Anzahl von Daten parallel zu übertragen, ohne dass die Anzahl 15 der Anschlusskontaktflächen 3 eine tolerierbare Grenze überschreitet.

Das erfindungsgemäße Bauelement kann so ausgebildet sein, dass Lese- und Schreibvorgänge durch eine Ausgabe bzw. Eingabe 20 von analogen Daten möglich sind. Statt der abzuspeichern oder abgespeicherten Daten können auch Steuersignale zur Steuerung von Lese- und Schreibvorgängen, insbesondere zur Adressierung von Speicherplätzen, durch Eingabe von analogen Steuersignalen übermittelt werden.

Bei einer bevorzugten Ausgestaltung des Bauelements erfolgt beides, d. h. die Lese- und Schreibvorgänge und deren Steuerung, ausschließlich durch Eingabe und Ausgabe von analogen Signalen. Eine Kommunikation mit einem Speicher-Controller 30 erfolgt daher bei dieser Ausgestaltung ausschließlich mittels analoger Signale.

Wenn für die Dateneingabe und Datenausgabe mehrere Anschlusskontaktflächen vorgesehen sind, lassen sich die übermittelten 35 Datenraten wesentlich erhöhen. Mit einer Anschlusskontaktfläche und einem 16-Bit-Digital-Analog-Wandler beispielsweise lassen sich 16 Bit pro Takt bei einem Lesevorgang übertragen;

dieselbe Datenrate erreicht man mit zwei 8-Bit-Digital-Analog-Wandlern und zwei Anschlusskontaktflächen. Durch Einsatz von Digital-Analog-Wandlern geeigneter Kapazität und eine ausreichend hohe Anzahl von Anschlusskontaktflächen lassen  
5 sich daher gegenüber herkömmlichen Speicherbauelementen erheblich höhere Datenraten übertragen.

Die Umwandlung zwischen digitalen und analogen Signalen wird dabei jeweils so vorgenommen, dass die relevante Information  
10 erhalten bleibt. Die Anzahl der digitalen Signale, die zu analogen Signalen überlagert wird, muss daher bei bestimmten Anwendungen des erfindungsgemäßen Bauelementes gegebenenfalls entsprechend eingeschränkt werden. Da aber in jedem Fall eine  
Umwandlung mehrerer digitaler Signale in ein analoges Signal  
15 bzw. die Umwandlung eines analogen Signales in eine Mehrzahl digitaler Signale möglich ist, können mit dem erfindungsgemäßen Speicherbauelement bei jedem Ausführungsbeispiel eine Vielzahl von Anschlusskontaktflächen eingespart werden.

## Patentansprüche

1. Halbleiterbauelement, bei dem auf einem Halbleiterchip  
- ein Halbleiterspeicher als Anordnung von Speicherzellen  
5 ausgebildet ist,

- mindestens ein Anschlusskontakt (3) vorhanden ist und  
- mindestens eine elektrisch leitende Verbindung zwischen ei-  
nem Anschlusskontakt und Speicherzellen vorhanden ist,

d a d u r c h g e k e n n z e i c h n e t , d a s s

10 mindestens ein Digital-Analog-Wandler (6; 60, 61) und/oder  
mindestens ein Analog-Digital-Wandler (7) so in die elek-  
trisch leitende Verbindung eingebaut sind bzw. ist, dass eine  
Nutzung des Halbleiterspeichers durch eine Eingabe oder Aus-  
gabe von analogen Signalen möglich ist.

15 2. Bauelement nach Anspruch 1, bei dem  
Digital-Analog-Wandler und Analog-Digital-Wandler so angeord-  
net sind, dass Lese- und Schreibvorgänge durch eine Ausgabe  
bzw. Eingabe von analogen Daten möglich sind.

20 3. Bauelement nach Anspruch 1 oder 2, bei dem  
mindestens ein Analog-Digital-Wandler (7) so angeordnet ist,  
dass eine Steuerung von Lese- und Schreibvorgängen und/oder  
eine Adressierung von Speicherplätzen durch eine Eingabe von  
25 analogen Steuersignalen möglich ist.

4. Bauelement nach einem der Ansprüche 1 bis 3, bei dem  
Digital-Analog-Wandler und Analog-Digital-Wandler so angeord-  
net sind, dass sowohl Lese- und Schreibvorgänge als auch de-  
30 ren Steuerung durch eine Ausgabe bzw. Eingabe von ausschließ-  
lich analogen Daten und eine Eingabe von ausschließlich ana-  
logenen Steuersignalen möglich sind.



## Zusammenfassung

## Halbleiterspeicherbauelement

5 Es ist eine Mehrzahl von Digital-Analog-Wandlern (60, 61) und  
Analog-Digital-Wandlern in den Datenleitungen (20, 21) zwi-  
schen den Anschlusskontakten (3) und den Speicherzellen (1)  
vorhanden, so dass das Auslesen, Einschreiben und Ansteuern  
des Speichers durch analoge Datentransfers anstelle der bis-  
10 herigen Digitalsignale erfolgen kann. Die gleiche Datenmenge,  
für die man normalerweise mehrere Anschlusskontaktflächen  
(Pads) benötigte, kann so über nur einen Anschlusskontakt  
ausgelesen werden. Für die Adressierung der Speicherzellen  
genügen jeweils Kontaktflächen für die analoge Zeilenadresse  
15 und die analoge Spaltenadresse, die mit Analog-Digital-  
Wandlern in digitale Adressen umgesetzt werden.

Figur 5

Bezugszeichenliste

	1 Halbleiterspeicher
	2 Datenleitung
5	3 Anschlusskontaktfläche
	4 Adress-Latch
	5 Adress-Bus
	6 Digital-Analog-Wandler
	7 Analog-Digital-Wandler
10	20 16-Bit-Datenbus
	21 16-Bit-Datenbus
	40 Adressierungs-Latch
	50 Adress-Bus
	60 Digital-Analog-Wandler
15	61 Digital-Analog-Wandler

Stand der Technik

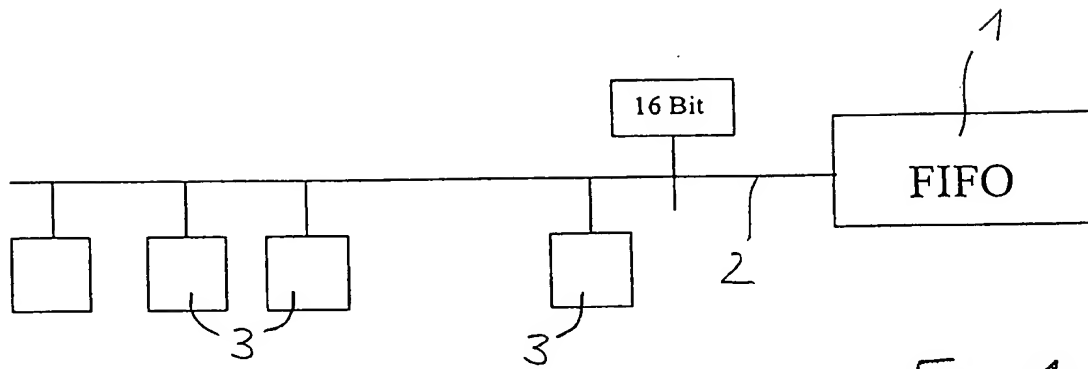


Fig 1

Stand der Technik

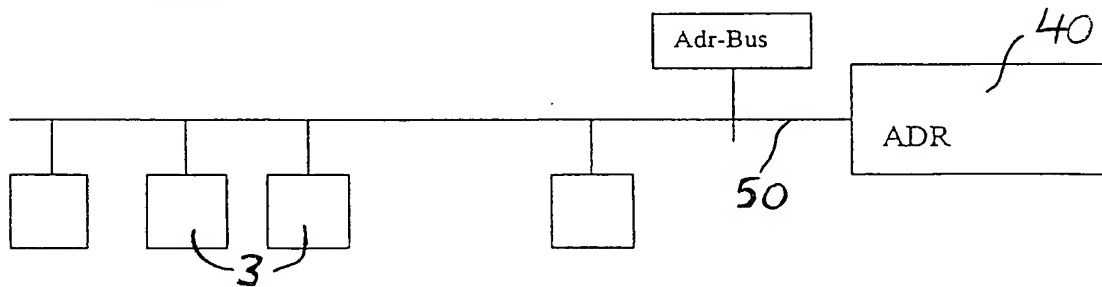


Fig 2

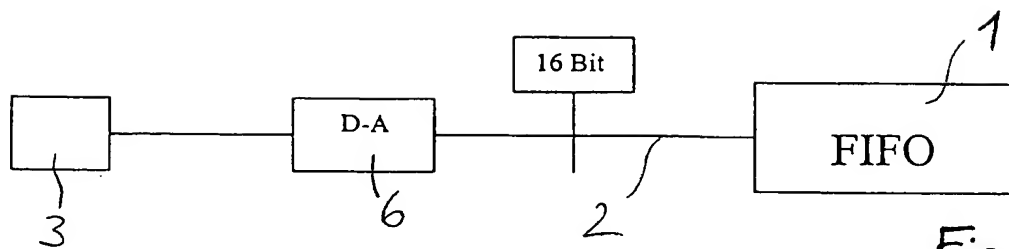


Fig 3

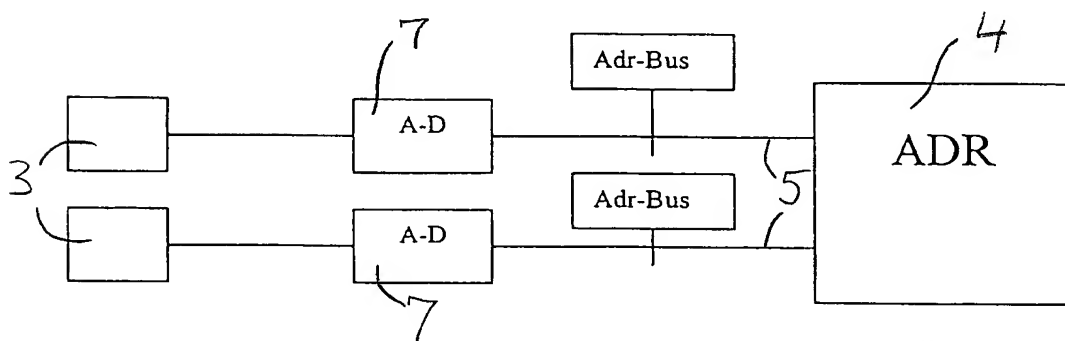


Fig 4

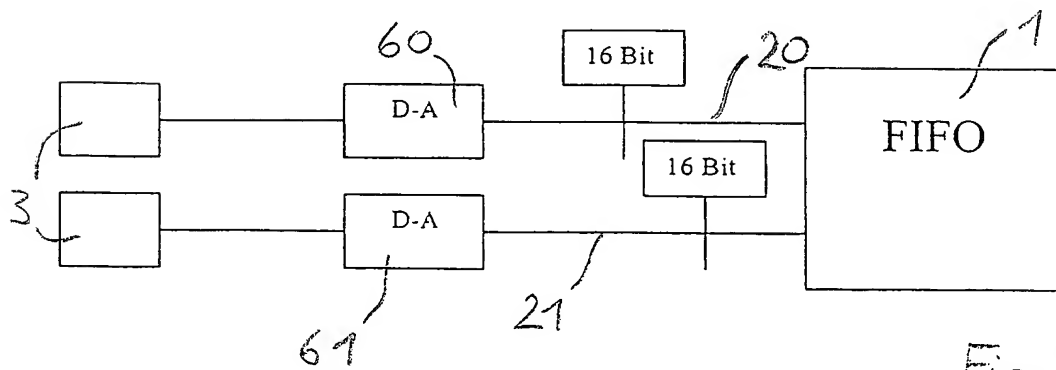


Fig 5



Creation date: 01-09-2004  
Indexing Officer: AAMARKHEL - ABDUL AMARKHEL  
Team: OIPEScanning  
Dossier: 60494671

Legal Date: 12-04-2003

No.	Doccode	Number of pages
1	PEFR	4

Total number of pages: 4

Remarks:

Order of re-scan issued on .....